

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 57-037908

(43)Date of publication of application : 02.03.1982

(51)Int.Cl.

H03F 1/02

H03F 3/30

(21)Application number : 55-112015

(71)Applicant : SONY CORP

(22)Date of filing : 14.08.1980

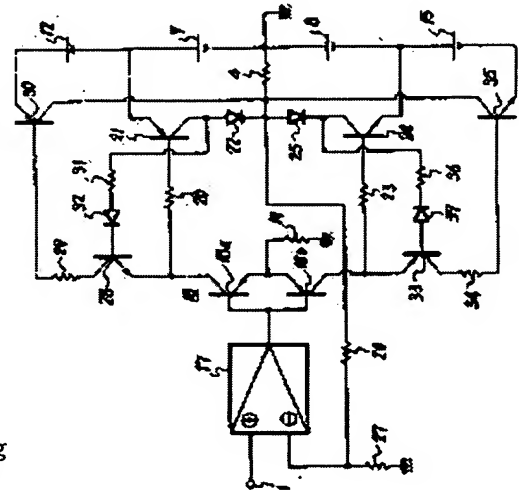
(72)Inventor : SUZUKI TADAO

(54) OUTPUT AMPLIFYING CIRCUIT

(57)Abstract:

PURPOSE: To obtain an output amplifying circuit having a high efficiency, by actuating the 1st push-pull output amplifying circuit when the level of the output signal constituting an amplifying circuit is lower than a prescribed value and then the 2nd push-pull output amplifying circuit the level of the output signal is higher than the prescribed level respectively.

CONSTITUTION: The aural signal supplied to an input terminal 1 is applied to the base of transistors (TR)21 and 24 via a differential amplifying circuit 17 and a phase inverting circuit 18 as well as to the emitter of TRs28 and 33 respectively. The output of the TR is supplied to a load resistor 4. If the level of the output signal obtained by the resistor 4 is lower than a prescribed value, a push-pull amplifying circuit consisting of the TRs21 and 24 and using DC voltage sources 7 and 8 of $\pm V_1$ for the power source is actuated. While a push-pull amplifying circuit consisting of TRs30 and 35 and using the sum voltage value $\pm(V_1+V_2)$ of the sources 7 and 8 plus power sources 12 and 15 of $\pm V_2$ for the power source is actuated. Thus the level of output signal is controlled to a prescribed value.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 特 許 公 報 (B 2) 平1-32684

⑤ Int. Cl.⁴H 03 F 3/30
1/02

識別記号

庁内整理番号

8836-5J
7827-5J

⑭ 公告 平成1年(1989)7月10日

発明の数 1 (全5頁)

⑮ 発明の名称 出力増幅回路

審 判 昭61-8899

⑯ 特 願 昭55-112015

⑰ 公 開 昭57-37908

⑱ 出 願 昭55(1980)8月14日

⑲ 昭57(1982)3月2日

⑳ 発 明 者 鈴木 忠 雄 東京都港区港南1丁目7番4号 ソニー株式会社技術研究所内

㉑ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号

㉒ 代 理 人 弁理士 松隈 秀盛

審判の合議体 審判長 加藤 茂樹 審判官 左村 義弘 審判官 田中 治幸

㉓ 参 考 文 献 特開 昭51-132746 (JP, A)

1

㉔ 特許請求の範囲

1 第1及び第2の直流電源を夫々動作電源とすると共にそのコレクタが第1及び第2のダイオードを介して負荷に接続される第1及び第2のエミッタ接地形トランジスタで構成した第1のプッシュアップ増幅回路と、上記第1の直流電源と第3の直流電源との和の直流電圧及び上記第2の直流電源と第4の直流電源との和の直流電圧を夫々動作電源とすると共にそのコレクタが上記負荷に接続される第3及び第4のエミッタ接地形トランジスタで構成した第2のプッシュアップ増幅回路と、上記第1及び第2のエミッタ接地形トランジスタの夫々のベースに第1及び第2の抵抗器を介して接続される入力信号源と、そのベースが上記第1及び第2のエミッタ接地形トランジスタの夫々のコレクタに第3及び第4の抵抗器を介して接続されると共にそのエミッタが上記入力信号源に接続され、そのコレクタが上記第3及び第4のエミッタ接地形トランジスタのベースに接続された第1及び第2のスイッチングトランジスタとを有し、出力信号レベルが所定値以下のときは上記第1及び第2のスイッチングトランジスタをオフせしめると共に上記第1及び第2のダイオードを導通として上記第1のプッシュアップ増幅回路を動作させ、上記出力信号レベルが所定値以上のときは上記第1及び第2のスイッチングトランジスタをオンせしめると共に上記第1及び第2のダイオードを非

2

導通として上記第2のプッシュアップ増幅回路を動作させる様にしたことを特徴とする出力増幅回路。

発明の詳細な説明

5 本発明は例えば音響機器の出力増幅回路即ちOTL出力増幅回路に使用して好適な出力増幅回路に関し、特に高能率化を図る様にしたものである。

従来高能率化を図らんとするOTL出力増幅回路として第1図に示す如きものが提案されている。即ち第1図に於いて、1は音声信号が供給される音声信号入力端子を示し、この音声信号入力端子1に供給された音声信号をプッシュアップ増幅回路を構成するnpn形トランジスタ2及びpnp形トランジスタ3の夫々のベースに供給し、之等トランジスタ2及び3の夫々のエミッタを互に接続し、このエミッタの接続点を負荷抵抗器例えばスピーカ4を介して接地し、又之等トランジスタ2及び3の夫々のコレクタをダイオード5のカソード及びダイオード6のアノードに夫々接続し、このダイオード5のアノードを直流電源7の正極に接続し、この直流電源7の負極を接地し、又ダイオード6のカソードを直流電源8の負極に接続し、この直流電源8の正極を接地する。この場合直流電源7及び8の夫々の電圧値を等しく例えばV₁とする。又トランジスタ2及び3の夫々のエミッタの接続点を定電圧用のツェナーダイオード

3

9のアノード及びツェナーダイオード10のカソードに夫々接続し、このツェナーダイオード9のカソードを抵抗器11を介して直流電源12の正極に接続し、この直流電源12の負極を直流電源7の正極に接続する。このツェナーダイオード9及び抵抗器11の接続点をnpn形トランジスタ13のベースに接続し、このトランジスタ13のコレクタを直流電源12の正極に接続し、このトランジスタ13のエミッタをトランジスタ2のコレクタに接続する。又ツェナーダイオード10のアノードを抵抗器14を介して直流電源15の負極に接続し、この直流電源15の正極を直流電源8の負極に接続する。このツェナーダイオード10及び抵抗器14の接続点をpnp形トランジスタ16のベースに接続し、このトランジスタ16のコレクタを直流電源15の負極に接続し、このトランジスタ16のエミッタをトランジスタ3のコレクタに接続する。この場合直流電源12及び15の夫々の電圧値を等しく例えば V_2 とする。又ツェナーダイオード9及び10の夫々のツェナー電圧を V_z とする。

斯る第1図に於いて負荷抵抗器4の両端間に得られる出力信号の電圧値を E_o としたときに於いて、

$$V_1 - V_z > E_o > -V_1 + V_z$$

なる領域ではトランジスタ13及び16はカットオフであり、トランジスタ2及び3が電圧値が V_1 の直流電源7及び8により動作するプッシュプル増幅回路となる。また

$$E_o > V_1 - V_z \text{ 及び } E_o < -V_1 + V_z$$

なる領域ではトランジスタ13及び16が動作しトランジスタ13、2、3及び16は電源電圧が直流電源7、8と12、15との和の電圧 $\pm(V_1 + V_z)$ で動作するプッシュプル増幅回路となる。

一般に電源電圧 $\pm V_1$ で動作するトランジスタ2、3により構成されるプッシュプル増幅回路(B級増幅回路)の出力ー損失特性は第2図曲線aに示す如くであり、又電源電圧 $\pm(V_1 + V_z)$ で動作するトランジスタ13、2、3、16により構成されるプッシュプル増幅回路の出力ー損失特性は第2図曲線bに示す如くである。

この第1図に於いては小出力信号即ち $-V_1 + V_z < E_o < V_1 - V_z$ のときは電源電圧 $\pm V_1$ のプッシュプル増幅回路としているので常に電源電圧が \pm

4

$(V_1 + V_z)$ のプッシュプル増幅回路に比較し、それだけ消費電力を少なくでき高能率化を図ることができる。

本発明は第1図に示す出力増幅回路を改善し、更に高能率化を図る様にしたものである。

以下第3図を参照しながら本発明出力増幅回路の一実施例につき説明しよう。この第3図に於いて第1図に対応する部分には同一符号を付し、その詳細説明は省略する。

第3図例に於いては音声信号入力端子1に供給される音声信号を駆動段を構成する差動増幅回路17の正入力端子④に供給し、この差動増幅回路17の出力信号を位相反転回路18を構成するnpn形トランジスタ18a及びpnp形トランジスタ18bの夫々のベースに供給する。このトランジスタ18a及び18bの夫々のエミッタの互の接続点を抵抗器19を介して接地し、このトランジスタ18aのコレクタを抵抗器20を介してコレクタフオロワを構成するpnp形トランジスタ21のベースに接続し、このトランジスタ21のエミッタを直流電源7の正極に接続し、この直流電源7の負極を接地する。又このトランジスタ21のコレクタを逆流防止用のダイオード22及び負荷抵抗器4の直列回路を介して接地する。又トランジスタ18bのコレクタを抵抗器23を介してコレクタフオロワを構成するnpn形トランジスタ24のベースに接続し、このトランジスタ24のエミッタを直流電源8の負極に接続し、この直流電源8の正極を接地し、又このトランジスタ24のコレクタを逆流防止用のダイオードを介してダイオード22及び負荷抵抗器4の接続点に接続する。この場合トランジスタ21及び24でプッシュプル増幅回路を構成する。ダイオード22及び25の接続点を負帰還回路を構成する抵抗器26を介して差動増幅回路17の負入力端子⑤に接続し、この負入力端子⑤を抵抗器27を介して接地する。又トランジスタ18aのコレクタを駆動電流切換え回路を構成するnpn形トランジスタ28のエミッタに接続し、このトランジスタ28のコレクタを抵抗器29を介してコレクタフオロワを構成するpnp形トランジスタ30のベースに接続し、このトランジスタ30のエミッタを直流電源12の正極に接続し、この直流電源12の負極を直流電源7の正極に接続し、又トランジスタ30

のコレクタを負荷抵抗器 4 を介して接地する。又トランジスタ 21 のコレクタを抵抗器 31 を介してダイオード 32 のアノードに接続し、このダイオード 32 のカソードをトランジスタ 28 のベースに接続する

又トランジスタ 18b のコレクタを駆動電流切換え回路を構成する pnp 形トランジスタ 33 のエミッタに接続し、このトランジスタ 33 のコレクタを抵抗器 34 を介してコレクタフオロウを構成する npn 形トランジスタ 35 のベースに接続し、このトランジスタ 35 のエミッタを直流電源 15 の負極に接続し、この直流電源 15 の正極を直流電源 8 の負極に接続し、このトランジスタ 35 のコレクタをトランジスタ 30 のコレクタ及び負荷抵抗器 4 の接続点に接続する。この場合トランジスタ 15

$$E_o > V_i - V_{BE}(\text{トランジスタ 21}) - I_b \times R - V_f(\text{ダイオード 22}) + V_f(\text{ダイオード 32})$$

$$+ V_{BE}(\text{トランジスタ 28}) = V_i - I_b \times R$$

である。同様にして負の半サイクルの場合は $E_o < -V_i + I_b \times R$ である。従つてこの負荷抵抗器 4 の両端間信号レベル E_o が正の半サイクルで

$$E_o > V_i - I_b \times R$$

のとき及び負の半サイクルで

$$E_o < -V_i + I_b \times R$$

のときトランジスタ 28 及び 33 が夫々導通となり駆動信号をトランジスタ 30 及び 35 のベースに夫々供給されると共にこのときダイオード 22 及び 25 が夫々非導通となり、このときはトランジスタ 21 及び 24 より電流は負荷抵抗器 4 には供給されない。ここで抵抗器 20 及び 23 による電圧降下 $I_b \times R$ は負荷抵抗器 4 の抵抗値 R_L が小さいときは大きくなるのでトランジスタ 28 及び 33 は早めに駆動され、トランジスタ 30 及び 35 より構成されるブツシュブル増幅回路が早めに動作し、またこの R_L が大きいときは遅めに駆動される。この抵抗器 20 及び 23 として定電圧素子（例えばツェナーダイオード）を使用したときはトランジスタ 28 及び 33 の駆動は R_L に関係なく一定となる。

今負荷抵抗器 4 の両端間信号 E_o が第 4 図 A に示す如きであつた場合の正の半サイクルについて説明するに

$$E_o \leq V_i - I_b \times R$$

のときはトランジスタ 28 は非導通であり、この

*スタ 30 及び 35 でブツシュブル増幅回路を構成する。又トランジスタ 24 のコレクタを抵抗器 38 を介してダイオード 37 のカソードに接続し、このダイオード 37 のアノードをトランジスタ 33 のベースに接続する。

この場合、トランジスタ 21, 24, 28 及び 33 の夫々のベース-エミッタ間電圧を等しく V_{BE} 、ダイオード 22, 25, 32 及び 37 の夫々の電圧降下を V_f 、トランジスタ 21, 24 の夫々のベース電流を I_b 、抵抗器 20, 23 の夫々の抵抗値を R としたときトランジスタ 28 及び 33 が導通するのは負荷抵抗器 4 の両端間信号 E_o のレベルが次の関係にあるときである。正の半サイクルを考えるに

ときはトランジスタ 21 を介して負荷抵抗器 4 に第 4 図 B に示す如き比較的小さい電流 I_2 が流れ、又

$$E_o > V_i - I_b \times R$$

となつたときはトランジスタ 28 が導通となり、トランジスタ 30 のベースに駆動信号が供給され、このトランジスタ 30 を介して負荷抵抗器 4 に第 4 図 C に示す如き電流 I_1 が流れる。

又負荷抵抗器 4 の両端間信号 E_o が第 4 図 A に示す如き負の半サイクルであつたときに於いて

$$E_o \geq -V_i + I_b \times R$$

のときはトランジスタ 33 は非導通でありこのときはトランジスタ 24 を介して負荷抵抗器 4 に第 4 図 B に示す如き比較的小さい電流 I_2 が流れ、又

$$E_o < -V_i + I_b \times R$$

となつたときはトランジスタ 33 が導通となり、トランジスタ 35 のベースに駆動信号が供給され、このトランジスタ 35 を介して負荷抵抗器 4 に第 4 図 C に示す如き電流 I_2 が流れる。

即ち第 3 図例に於いては入力端子 1 に供給された音声信号は差動増幅回路 17 及び位相反転回路 18 を介してトランジスタ 21 及び 24 の夫々のベースとトランジスタ 28 及び 33 の夫々のエミッタとに夫々供給され、負荷抵抗器 4 に得られ出力信号 E_o のレベルが所定値より小さいときは電圧値 $\pm V_i$ の直流電源 7 及び 8 を電源とするトラ

7

8

ンジスタ 21 及び 24 の構成するブツシュブル増幅回路が動作をし、この出力信号 E_o のレベルが所定値より大きくなつたときは電圧値 V_1 の直流電源 7 及び 8 と電圧値 V_2 の直流電源 12 及び 15 との和の電圧値 $(V_1 + V_2)$ を電源とする

トランジスタ 30 と 35 との構成するブツシュブル増幅回路が動作をする。

従つて本発明によれば OTL 出力増幅回路として動作をする。又本発明によれば出力信号 E_o のレベルが所定値以下のときは電圧値 V_1 の直流電源 7, 8 により動作するブツシュブル増幅回路として動作するのでこのときにこの出力増幅回路の出力-損失特性は第 2 図曲線 a に示す如くなり損失が比較的小さく、又出力信号 E_o のレベルが所定値以上のときは電圧値 $(V_1 + V_2)$ の直流電源 7, 8 と直流電源 12, 15 との和の電源により動作するトランジスタ 30 及び 35 により構成されるブツシュブル増幅回路として動作するので、このときの出力増幅回路の出力-損失特性は第 2 図曲線 c に示す如く曲線 b よりも損失の少ない特性となる。従つて本発明に依れば第 1 及び第 2 の直流電源 7 及び 8 を夫々動作電源とする第 1 及び第 2 のエミッタ接地形トランジスタ 21 及び 24 で構成した第 1 のブツシュブル出力増幅回路と、この第 1 の直流電源 7 と第 3 の直流電源 12 と和の直流電源及びこの第 2 の直流電源 8 と第 4 の直流電源 15 との和の直流電源を夫々動作電源とする第 3 及び第 4 のエミッタ接地形トランジスタ 30 及び 35 で構成した第 2 のブツシュブル出力増幅回路とを有し、出力信号レベルが所定値未満のときはこの第 1 のブツシュブル出力増幅回路を動作する様にすると共にこの出力信号レベルが所定値以上のときはこの第 2 のブツシュブル出力増幅回路を動作させる一対のトランジスタ 28, 33 を設けたものであり、本発明に依れば第 1 図

に示す如き従来回路よりも消費電力を改善でき高効率化を図ることができる。又本発明によればトランジスタ 21 及び 24 には比較的小電流 I_b 又は I_c しか流れないので之等として比較的小電流用のトランジスタが使用できる利益がある。

本発明に於いてはこのトランジスタ 21 及び 24 として比較的小電流用のトランジスタを使用したときに於いても負荷抵抗器 4 の抵抗値 R_L に応じてこのトランジスタ 21 及び 24 の出力電流が変化した場合スイッチングトランジスタ 28 及び 33 の導通非導通が早め又は遅めに制御され、トランジスタ 21 及び 24 の出力電流が大きくなつたときは早めに大電流用のトランジスタ 30 及び 35 が動作するのでこのトランジスタ 21 及び 24 の特性の直線性の良好な部分を常に使用でき歪の発生が少ない等の利益がある。

又第 3 図実施例に於いて、トランジスタ 28 及び 33 の夫々のコレクターベースとの間にコンデンサを設け駆動電流オンオフ回路の時定数を設定して回復時間を設定することにより高域信号に対する切換えひずみを低減することができる。

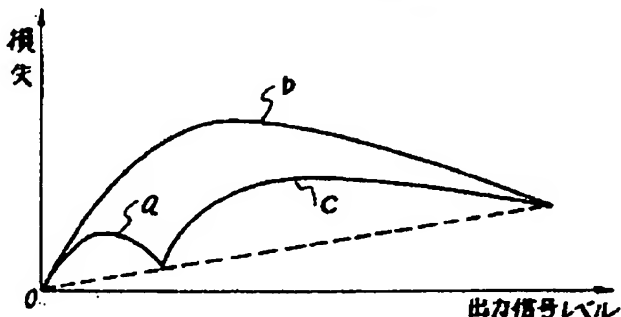
尚本発明は上述実施例に限らず、本発明の要旨を逸脱することなくその他種々の構成が取り得ることは勿論である。

図面の簡単な説明

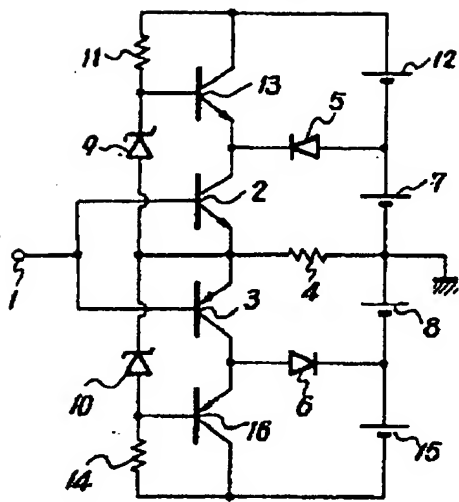
第 1 図は従来の出力増幅回路の例を示す接続図、第 2 図及び第 4 図は夫々本発明の説明に供する線図、第 3 図は本発明出力増幅回路の一実施例を示す接続図である。

1 は入力端子、4 は負荷抵抗器、7, 8, 12 及び 15 は夫々直流電源、21 及び 24 は第 1 のブツシュブル増幅回路を構成するトランジスタ、28 及び 33 は夫々駆動電流切換用トランジスタ、30 及び 35 は夫々第 2 のブツシュブル増幅回路を構成するトランジスタである。

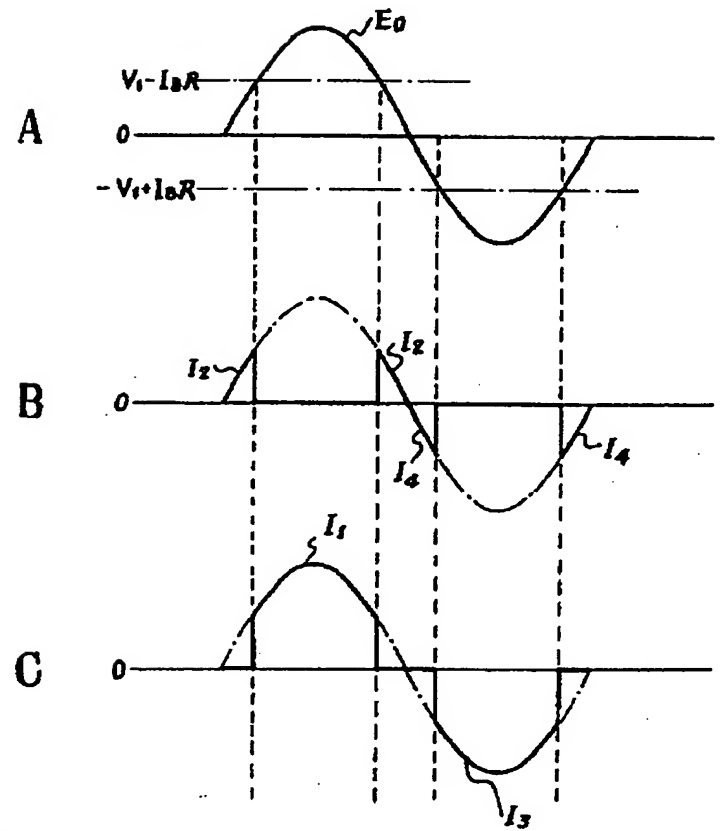
第 2 図



第 1 图



第 4 图



第 3 图

